



## 功率電晶體製程改善暨靜電防護模型建立

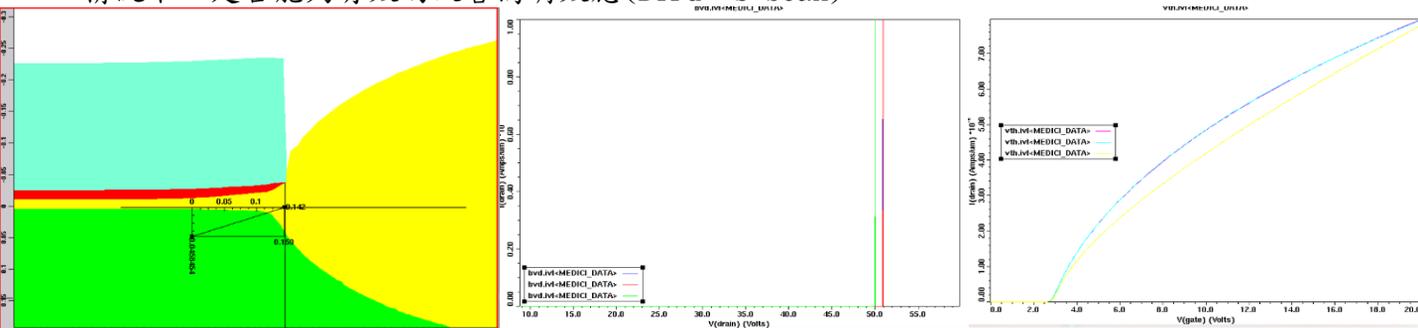
亞洲大學 資訊工程學系 學生：吳景淵、林昀融、林佑星

指導教授：楊紹明教授

### 摘要

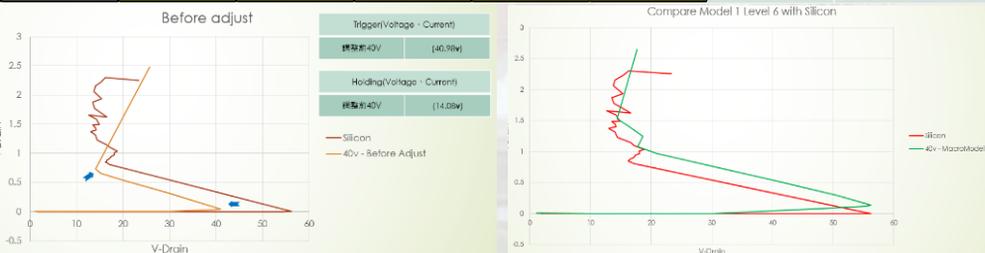
由於製程上的整合，IC設計差異，例如：中間為功率元件、外圍邏輯元件，這都將導致積體電路中的閘極氧化層(Gate Oxidie)厚度不一，會使得原本的靜電保護能力下降，而人類本身就是導電體，在觸碰到這些電子設備時，會產生瞬間性高能量的靜電，如果設備本身的靜電保護不足，將使得元件遭受靜電破壞，為了避免元件遭受破壞，能在元件的外部放入符合的Macro Model模型，使高能量的靜電，通過專門的路徑，以避免造成IC內部損傷。

而在CMOS元件的製程中，我們需要用到隔離技術來隔離P型/N型介面，目前最先進的製程為STI淺槽隔離技術，但因為需要的設備較為新穎而且在表面張力的部分會有較大的問題，故許多工廠還是依舊再使用LOCOS矽局部氧化來做隔離，但矽局部氧化的嚴重缺點就是會產生鳥嘴效應而讓元件減去一定大小的面積占據許多矽的表面區域，讓封裝密度增加而變得更為困難，探討藉由在氮化矽與氧化層之間加入多晶矽(Poly-Si)並在應力/張力為改變太多的情況下，是否能夠有效的改善鳥嘴效應(Bird's beak)。



|              | Vth   | bvd   | Idvg=5v  | Ron                        |
|--------------|-------|-------|----------|----------------------------|
| LOCOS        | 2.76  | 50.9  | 2.21E-06 | 602.78 mmΩ/mm <sup>2</sup> |
| Poly-Buffere | 2.758 | 50.93 | 2.21E-06 | 601.88 mmΩ/mm <sup>2</sup> |
| STI          | 2.78  | 50    | 1.82E-06 | 733.33mmΩ/mm <sup>2</sup>  |

|         | First SnapBack |        | Second SnapBack |        |
|---------|----------------|--------|-----------------|--------|
|         | Vtr1           | Vh1    | Vtr2            | Vh2    |
| 40vNmos | 56.17          | 17.75  | 18.65           | 14.35  |
| Silicon | 56.207         | 16.525 | 18.804          | 12.981 |



|                     | break down | vth  | Ron   |
|---------------------|------------|------|-------|
| Locos               | 50.9       | 2.76 | 601.8 |
| Poly-Buffered Locos | 50.93      | 2.75 | 600.3 |
| STI                 | 50.03      | 2.78 | 733.3 |

