

104 學年度畢業專題

功率電晶體製程改善暨
靜電防護模型建立

學生：林昀融(101013043)
吳景淵(101013040)
林佑星(102044140)

指導老師：楊紹明 教授

摘要

- 半導體製程技術的演進，將**B(Bipolar)**、**C(CMOS)**、**D(DMOS)**整合成為一顆功率元件已是未來的趨勢，結合**Bipolar**的高頻、**CMOS**的低功率以及**DMOS**的高壓與高電流驅動能力，綜合三種元件的優點，稱之為BCD。
- 在CMOS元件的製程中，需要用到隔離技術來隔離P型/N型接面，而隔離技術以LOCOS與STI較為普遍使用，目前最先進的製程為STI淺槽隔離技術，故在本次研究中，將原本採用LOCOS製程技術的CMOS元件，使用較為新穎的STI淺槽隔離技術，且進行電性得量測與探討，發現其結果轉變不大，得以顯示其研究相當成功。
- 且設法改良LOCOS製程技術，因許多工廠依舊採用LOCOS做隔離，其嚴重缺點就是會產生鳥嘴效應而讓元件減去部份可用的面積，故藉由在氮化矽與氧化層之間加入多晶矽(Poly-Si)並在應力/張力未改變太多的情況下，能否有效的改善鳥嘴效應(Bird' s beak)。
- 並因製程上的整合，積體電路中的閘極氧化層(Gate Oxidie)厚度不一，使原本靜電保護能力下降，為避免元件受破壞，在元件外部放入符合的MacroModel模型，使高能量的靜電，通過專門的路徑，避免造成IC內部損傷。

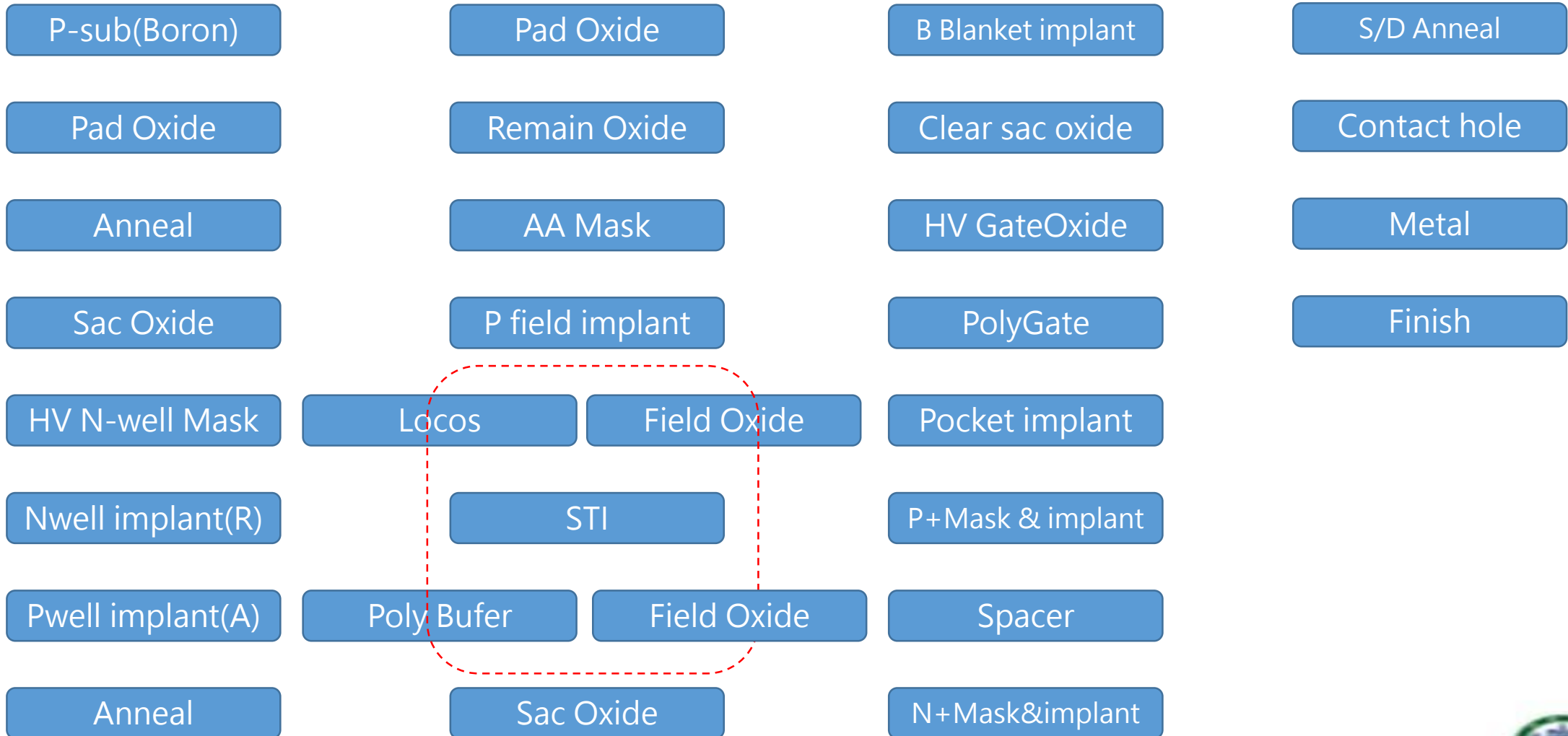


研究動機與目的

1. 探討元件LOCOS與STI的隔離技術，且元件特性結果轉變不大。
2. 並改良LOCOS製程技術，降低鳥嘴效應這嚴重缺點，且在元件特性上，不會變動過多，
3. 因製程的整合，Gate Oxidie厚度不一，在元件外部放入設計的MacroModel模型，避免造成IC內部損傷。

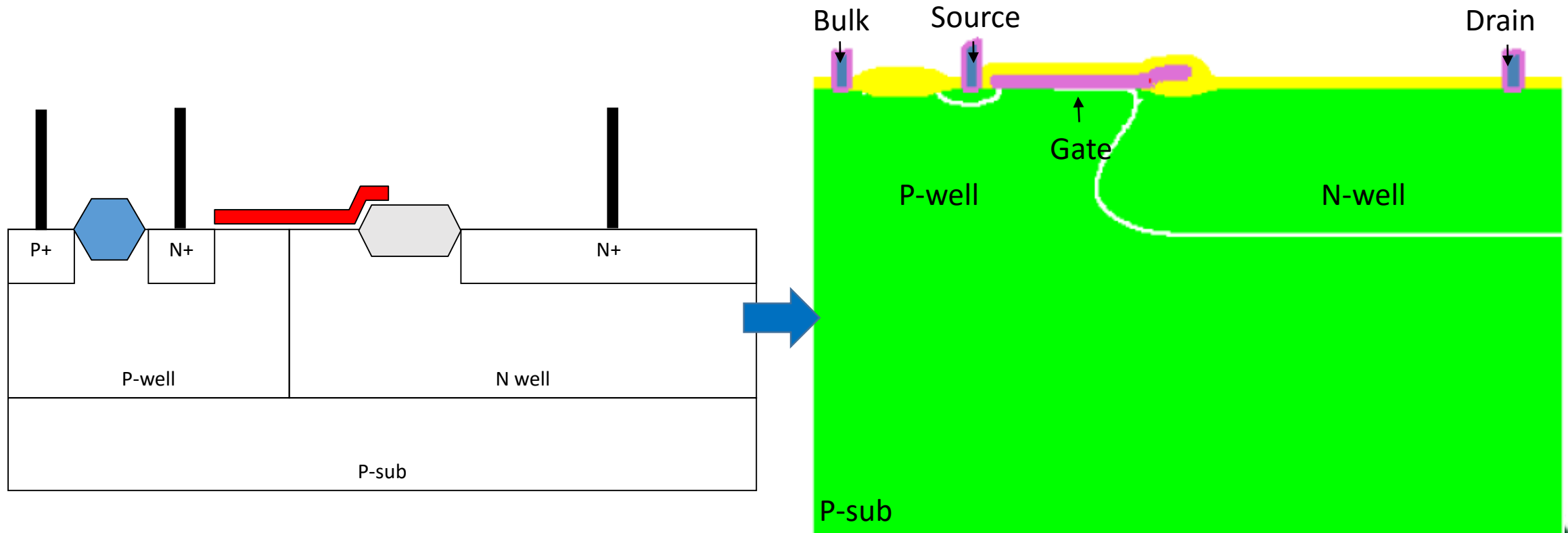


Process Flow



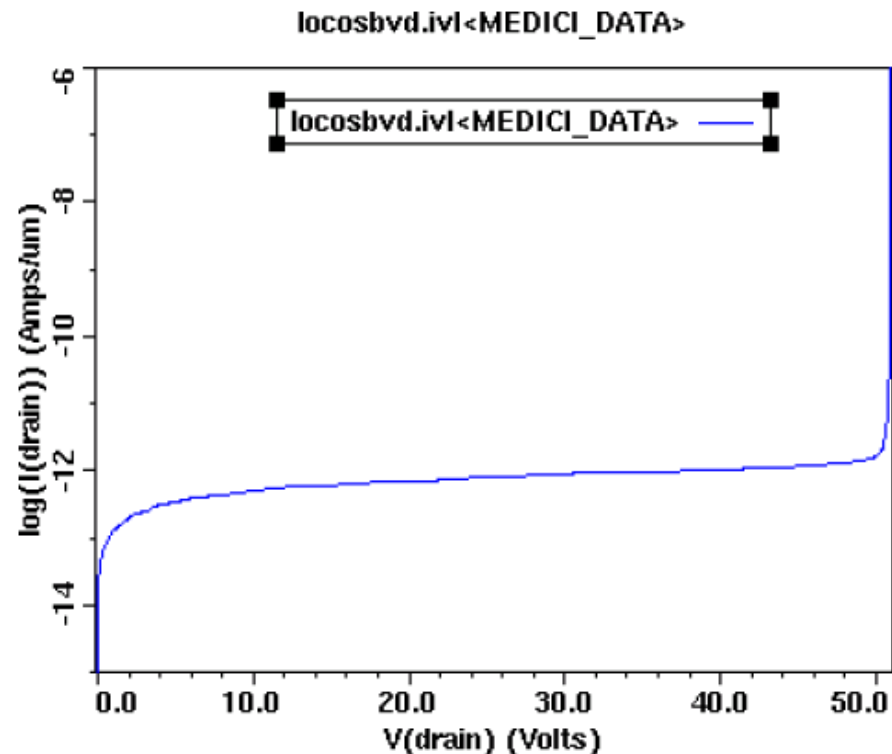
● 製程模擬-建立基本LOCOS隔離技術元件

1. 利用電腦輔助模擬軟體TSUPREM4，來建立LOCOS的模型結構
2. 利用測量軟體TAURUS VISUAL，來測量各條件並將得到的數據彙整以了解是否改善。

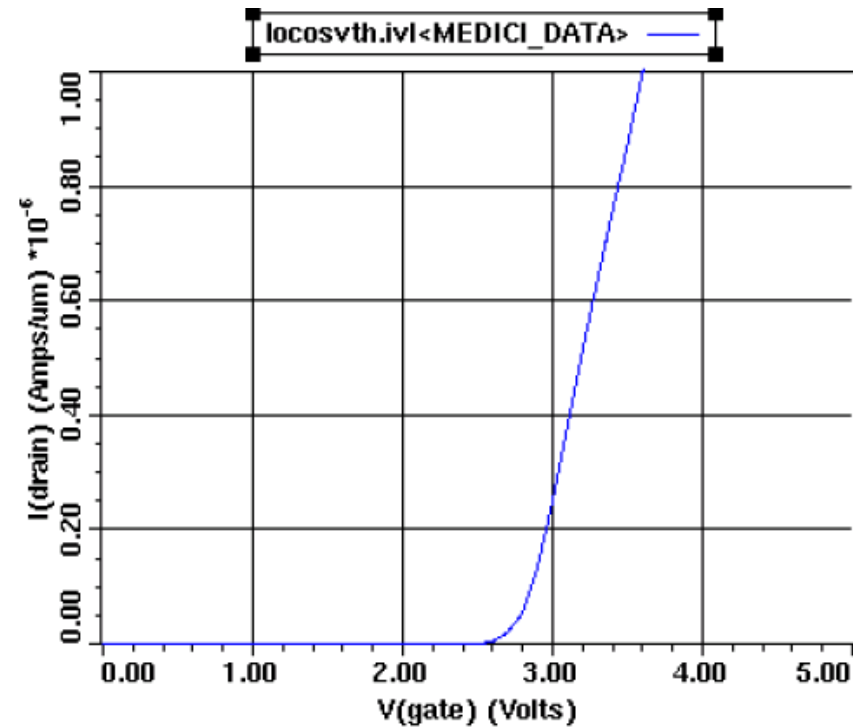


LOCOS隔離技術元件-電性量測

1. Breakdown：本元件設計為40v元件，由圖一可得知本元件可至50v，且kirk effect不明顯。
2. threshold：臨界電壓，由圖二可得知本元件為2.76v
3. Ron：電阻率。



➤ 圖一：bvd 50.9v



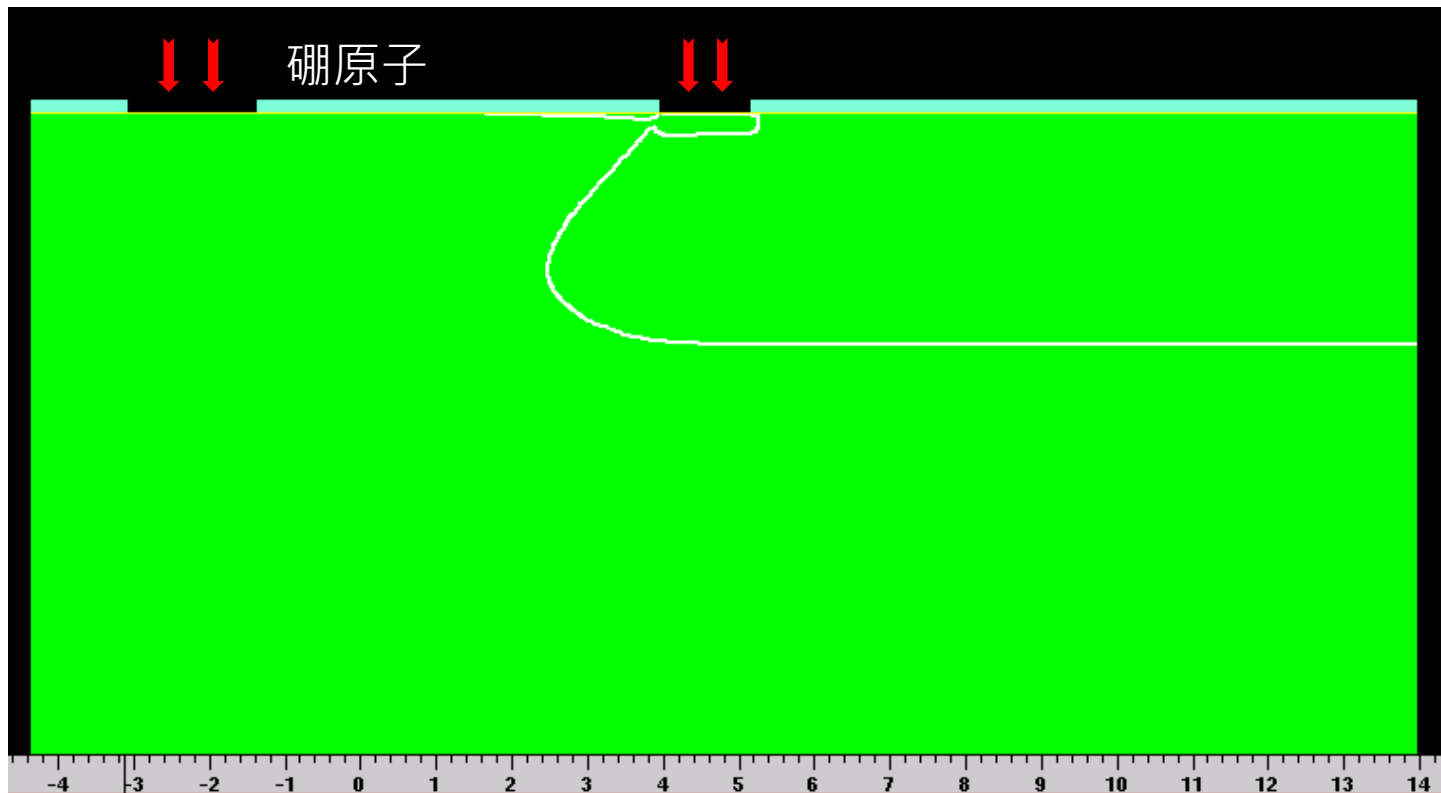
➤ 圖二：Vth 2.76v

Ron=602mΩ/mm²

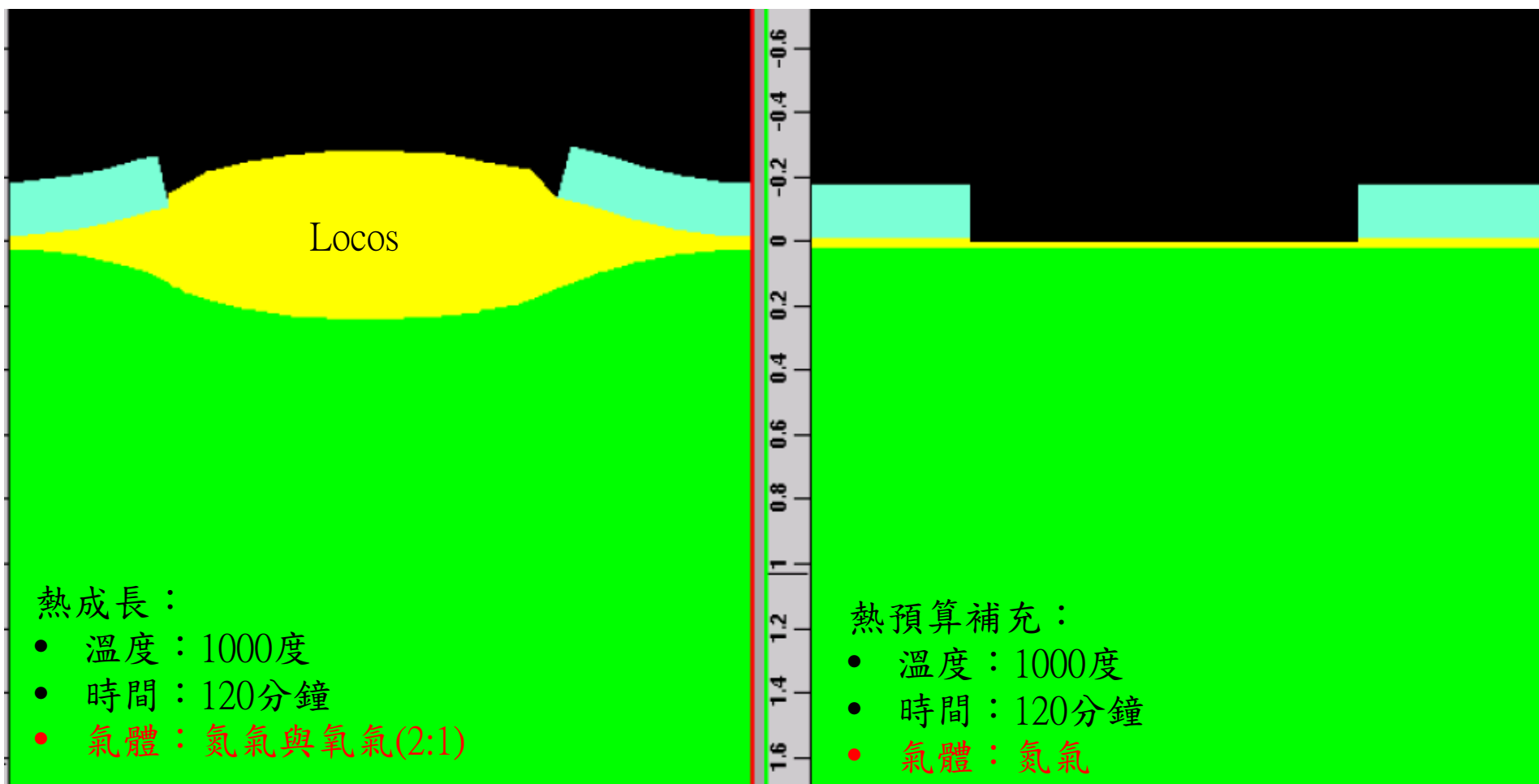
- Pitch=13.31
- Id@vg=5v=2.2081e-6

● 製程模擬-隔離技術轉換

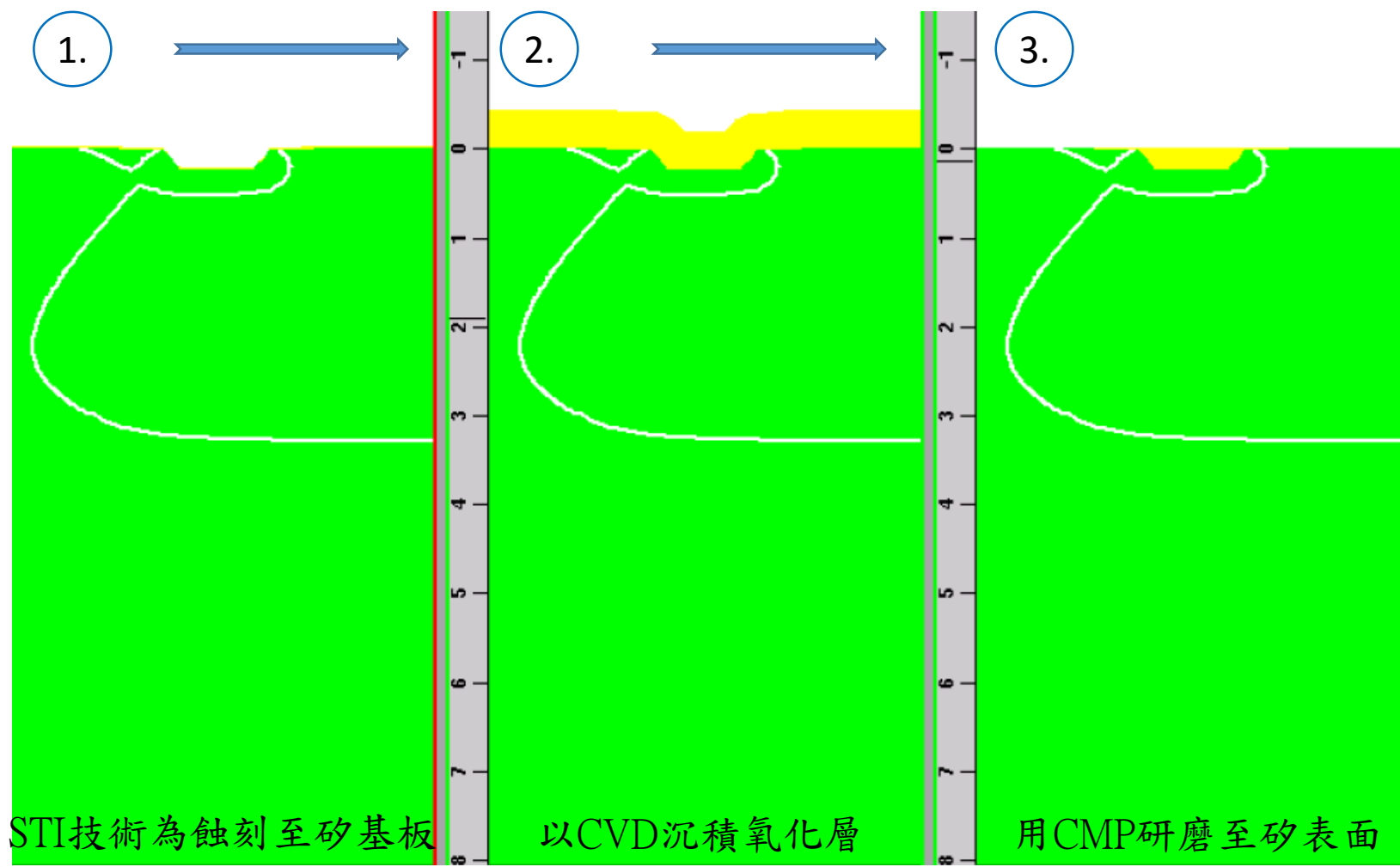
1. 利用電腦輔助模擬軟體TSUPREM4，將其隔離技術轉變為STI
2. 由於在LOCOS隔離技術時，在本步驟將進行field Oxidation，但因隔離技術轉換，我們在做溝槽技術前，給予原本LOCOS隔離技術的熱預算補償。



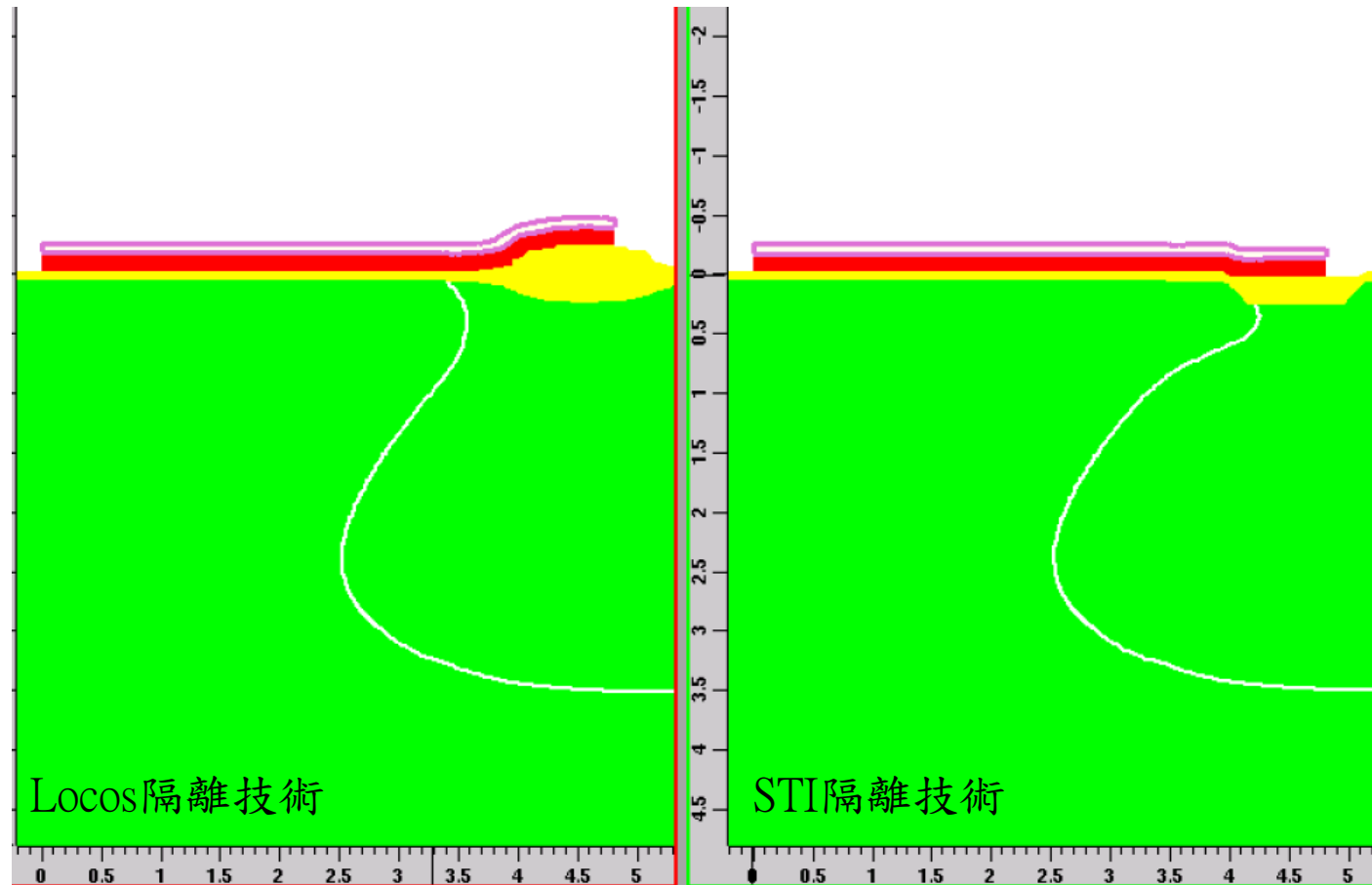
● 製程模擬-隔離技術轉換



- 製程模擬-隔離技術轉換

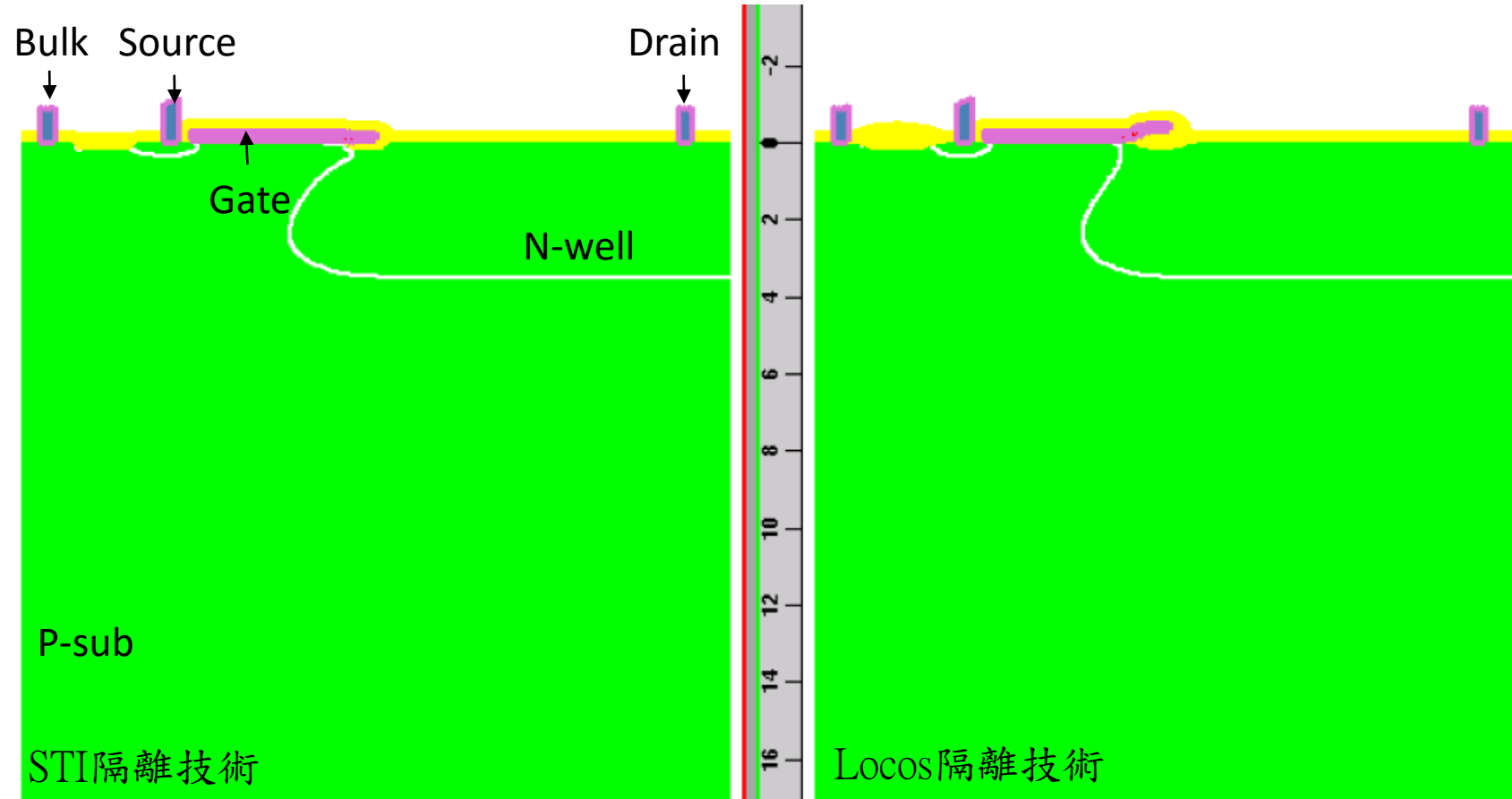


- 製程模擬-隔離技術轉換

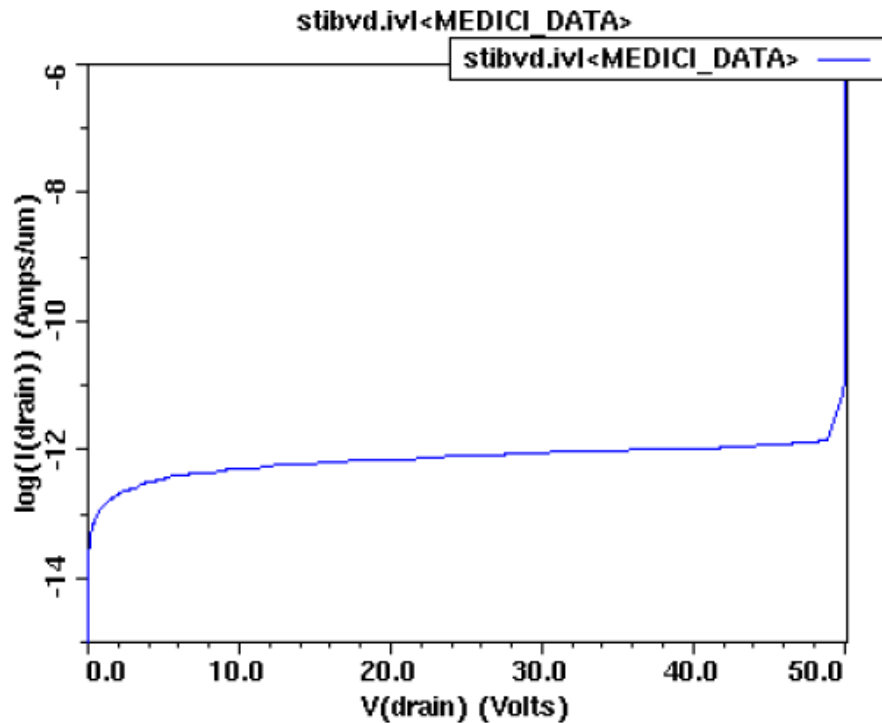


由於兩種隔離技術的不同，而使得PolyGate會有階梯狀的差異，但兩種隔離技術的PolyGate長度都相同

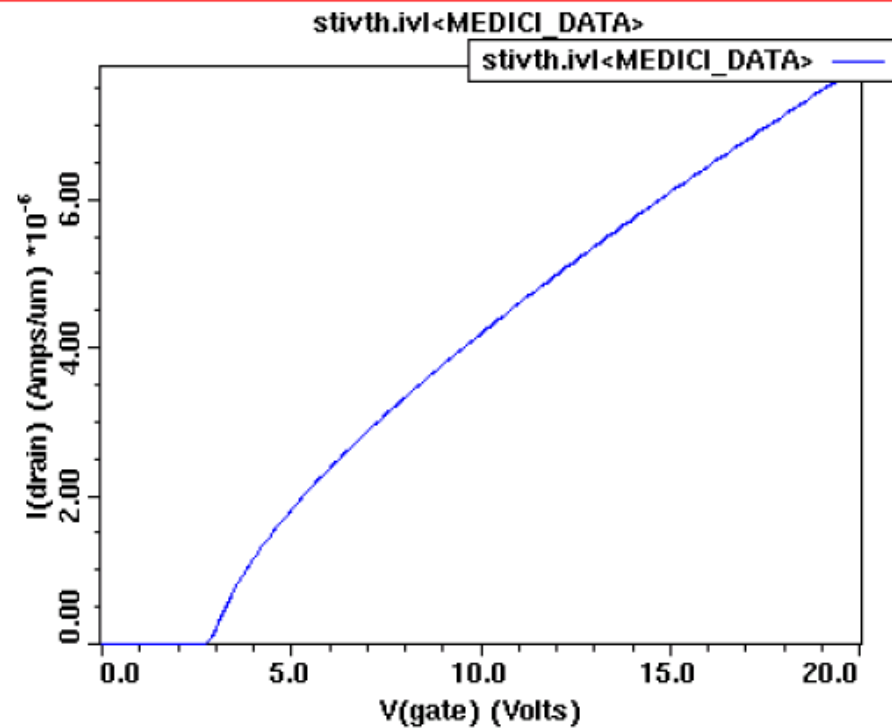
- 製程模擬-隔離技術轉換



STI 隔離技術元件-電性量測



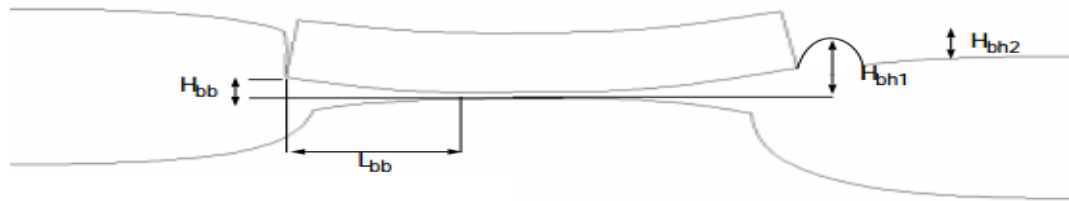
➤ STI bvd : 50.03v



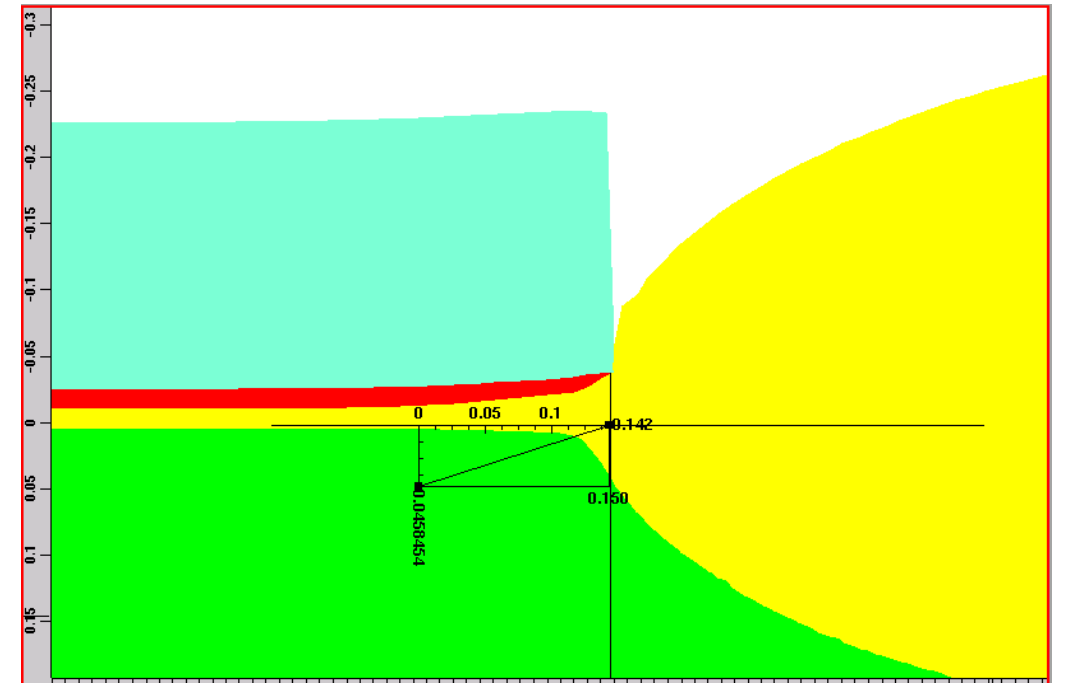
➤ STI V_{th} : 2.78v

- $R_{on}=733\text{m}\Omega/\text{mm}^2$
- Pitch=13.31
 - $I_d@v_g=5\text{v}=1.8150\text{e-}6$

• Locos製程優化-Poly-Buffer研究



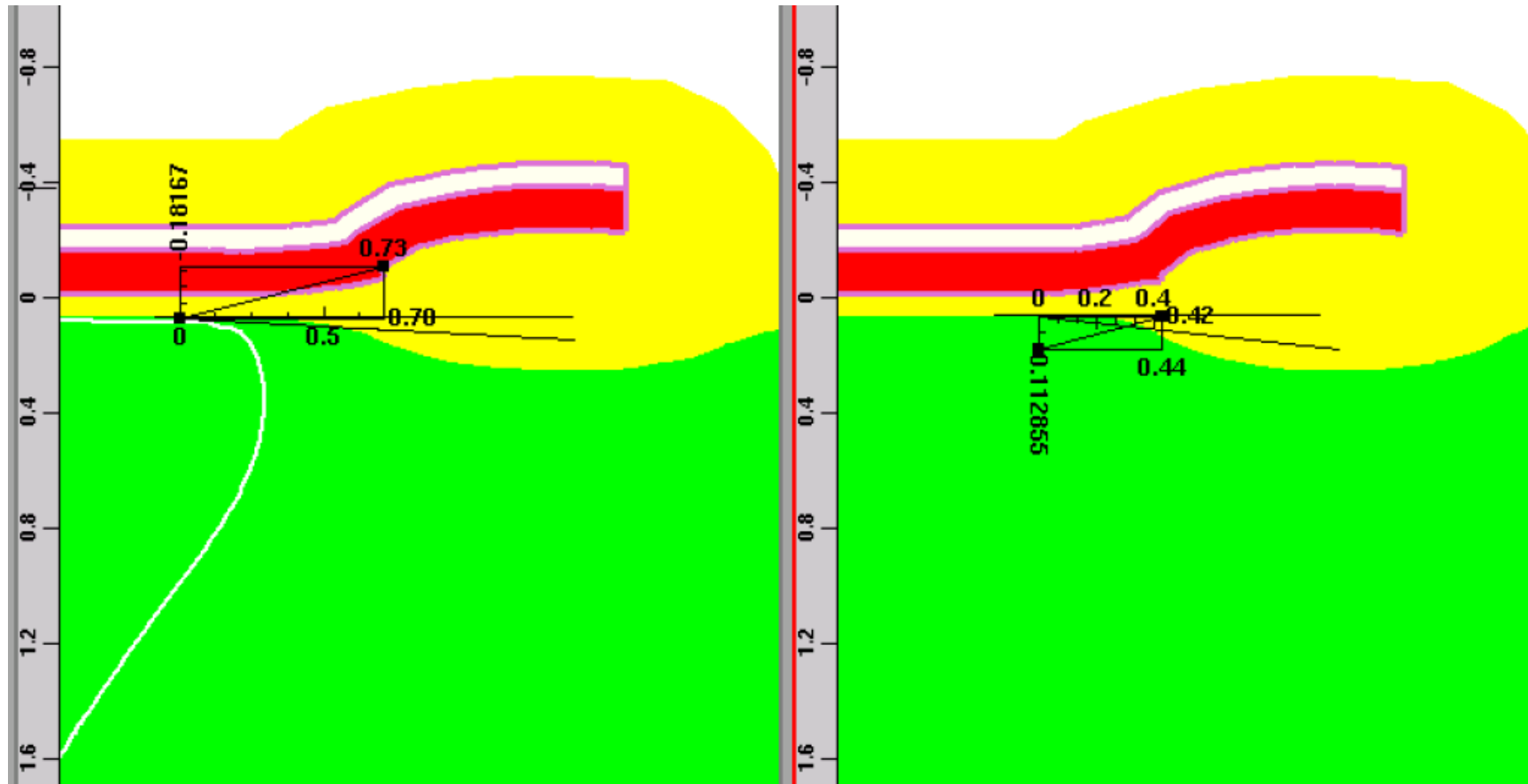
史丹佛大學在Local Oxidation Of Silicon For Isolation
論文中提出的鳥嘴效應測量方法



圖為在Taurus Visual中的測量範例

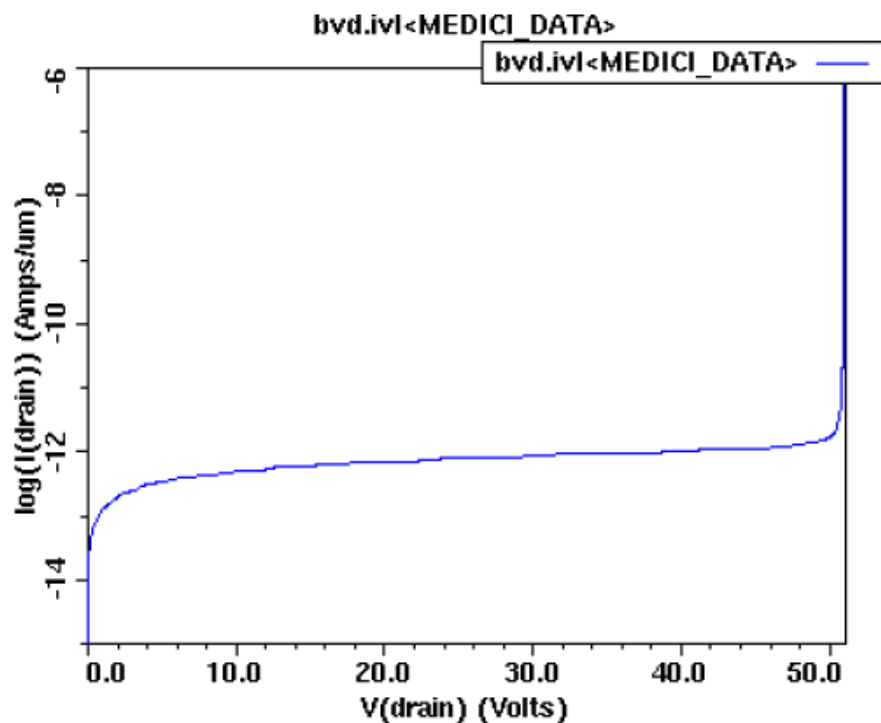
根據史丹佛大學Local Oxidation Of Silicon For Isolation論文中的測量鳥嘴長度方式(L_{bb})，在Taurus Visual中以相同的方式進行測量並驗證鳥嘴效應是否有縮短。

- Locos製程優化-Poly-Buffer研究

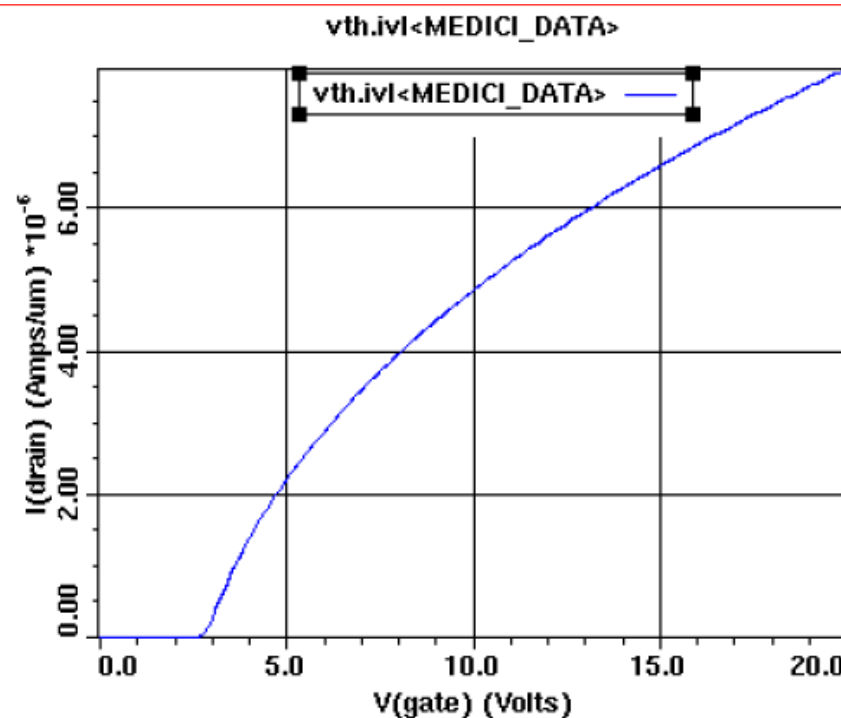


上圖為將Poly-Buffered Locos放入我們建立的40V LDMOS中後與原先Locos的比照圖，圖中可見鳥左長度減少約34%。

• Poly-Buffer研究-電性量測



➤ Poly-Buffer bvd : 50.93v



➤ STI V_{th} : 2.75v

$R_{on}=601\text{m}\Omega/\text{mm}^2$

- Pitch=13.31
- $I_d@v_g=5\text{v}=2.2114\text{e}-6$

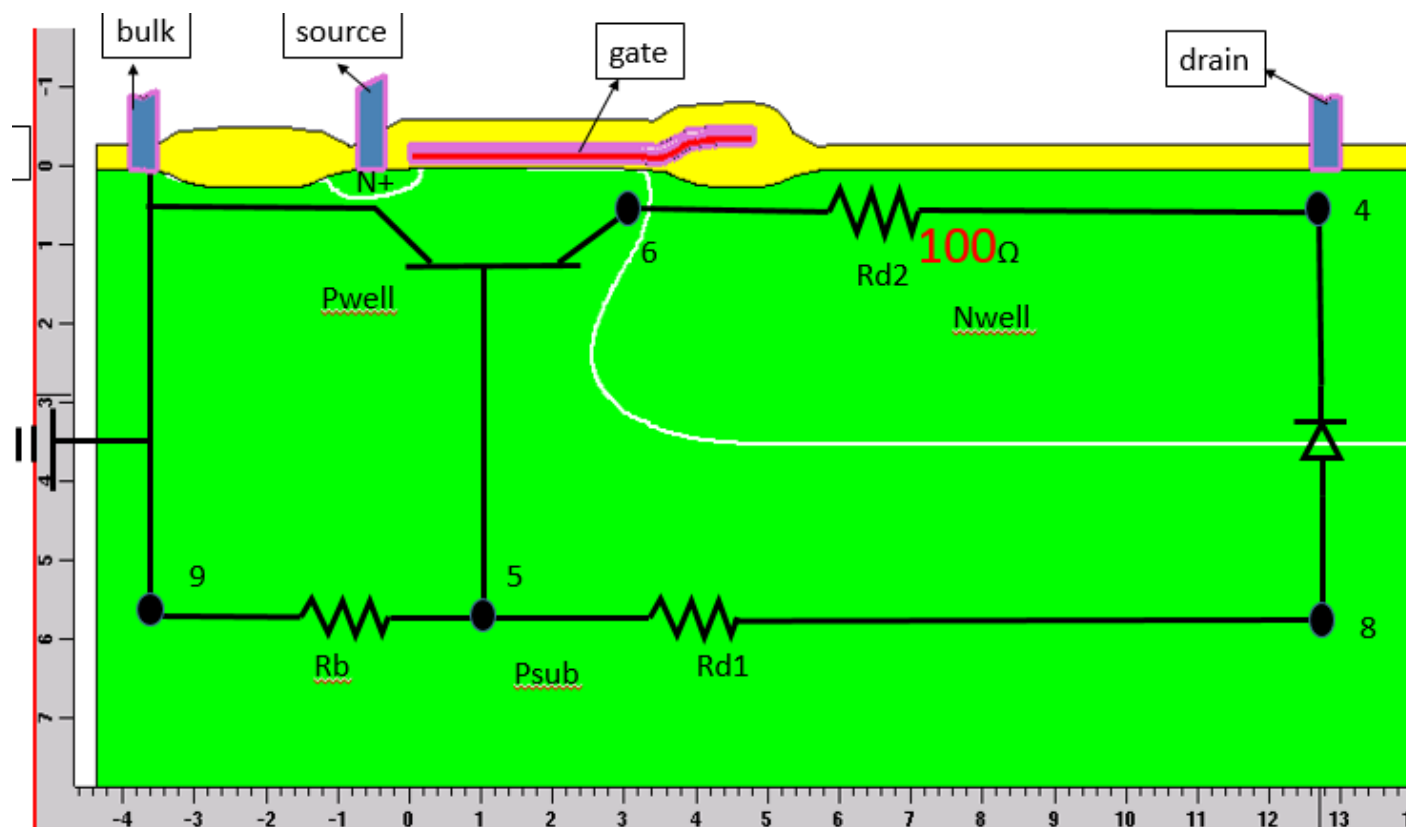
資訊彙整

	Breakdown	threshold	Id@Vg=5v	Ron
Default Locos技術	50.90	2.76	2.2081e-6	602mΩ/mm ²
STI隔離技術	50.03	2.78	1.8150e-6	733mΩ/mm ²
Locos隔離技術優化				
Poly-Buffer技術	50.93	2.75	2.2114e-6	601mΩ/mm ²

- 總結：Locos隔離技術的轉換後，可從其數據得知電性差異並不大，但STI的電阻率有略微提升1.2%。
而Locos隔離技術優化之Poly-Buffer技術研究，可從數據中得知相當成功，電性可維持不變，且電阻率有下降。

靜電防護設計

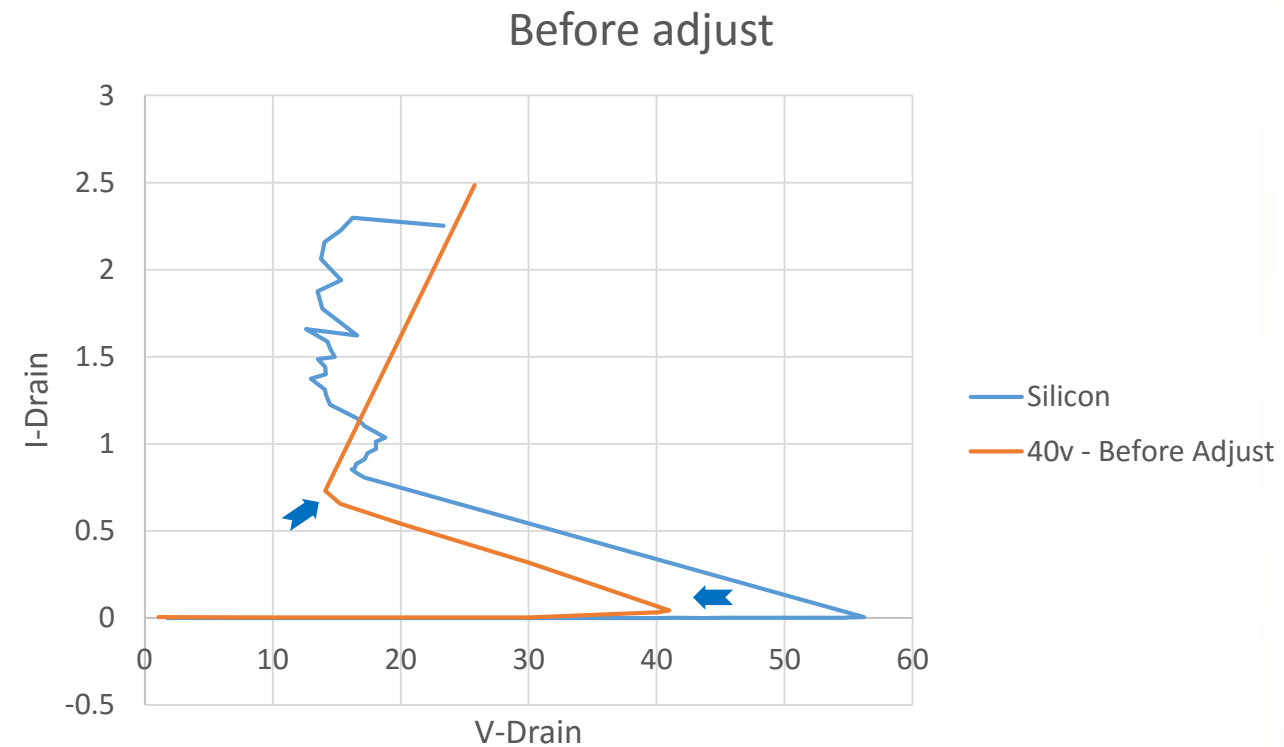
➤ 根據元件得特性，繪製出其電路特性。



靜電防護設計－調整過程

➤ 紀錄 調整前 與 Silicon曲線 對比。

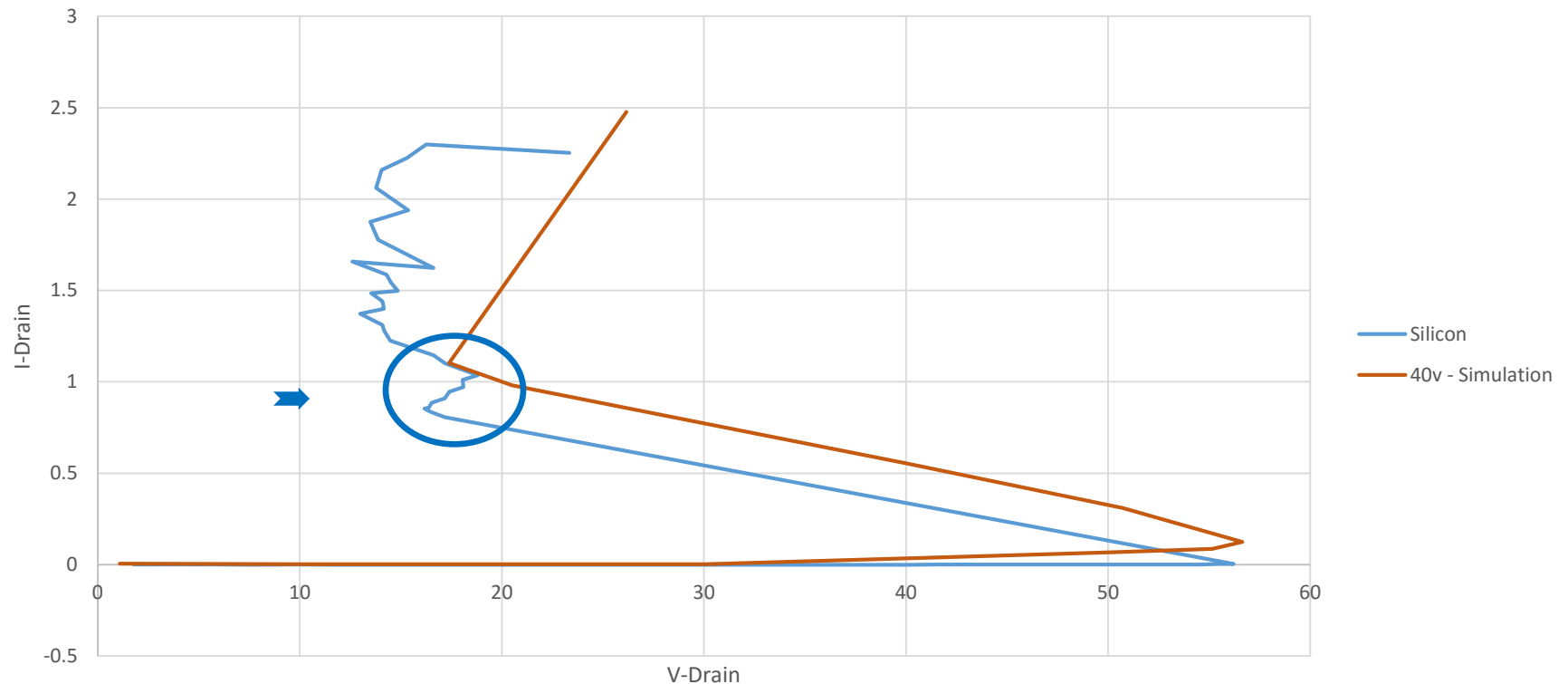
	First SnapBack		Second SnapBack	
	Vth1	Vh1	Vth2	Vh2
40vNmos	40.98	14.08	X	X
Silicon	56.20	16.52	18.80	12.98



靜電防護設計－調整過程

- 調整過程中發現，Silicon曲線有兩次Snapback現象。

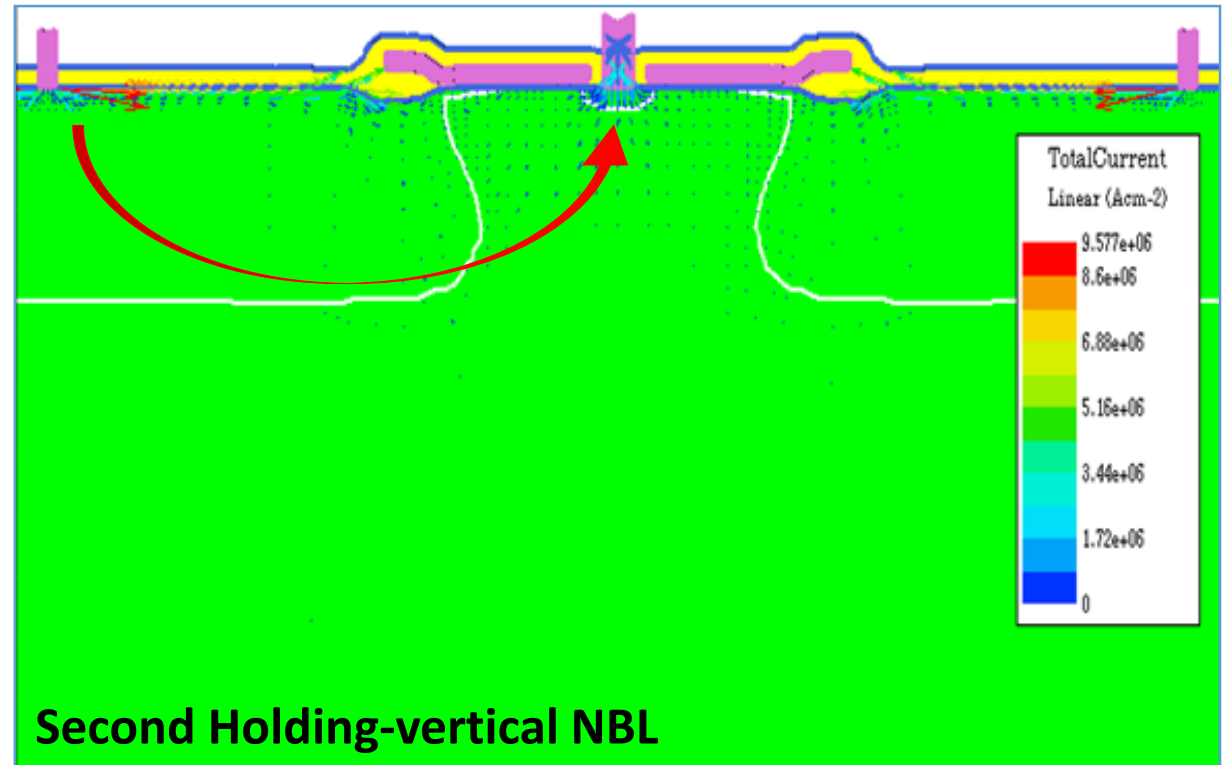
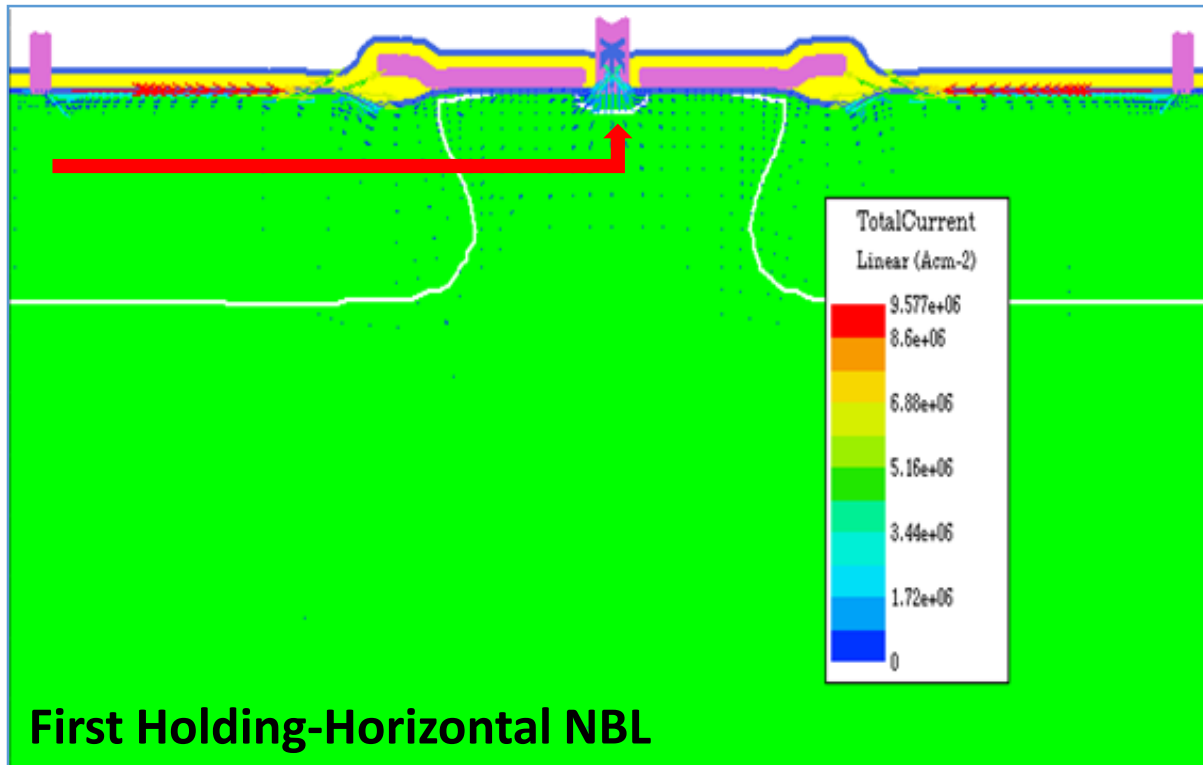
Silicon Data have two snapback



two snapback

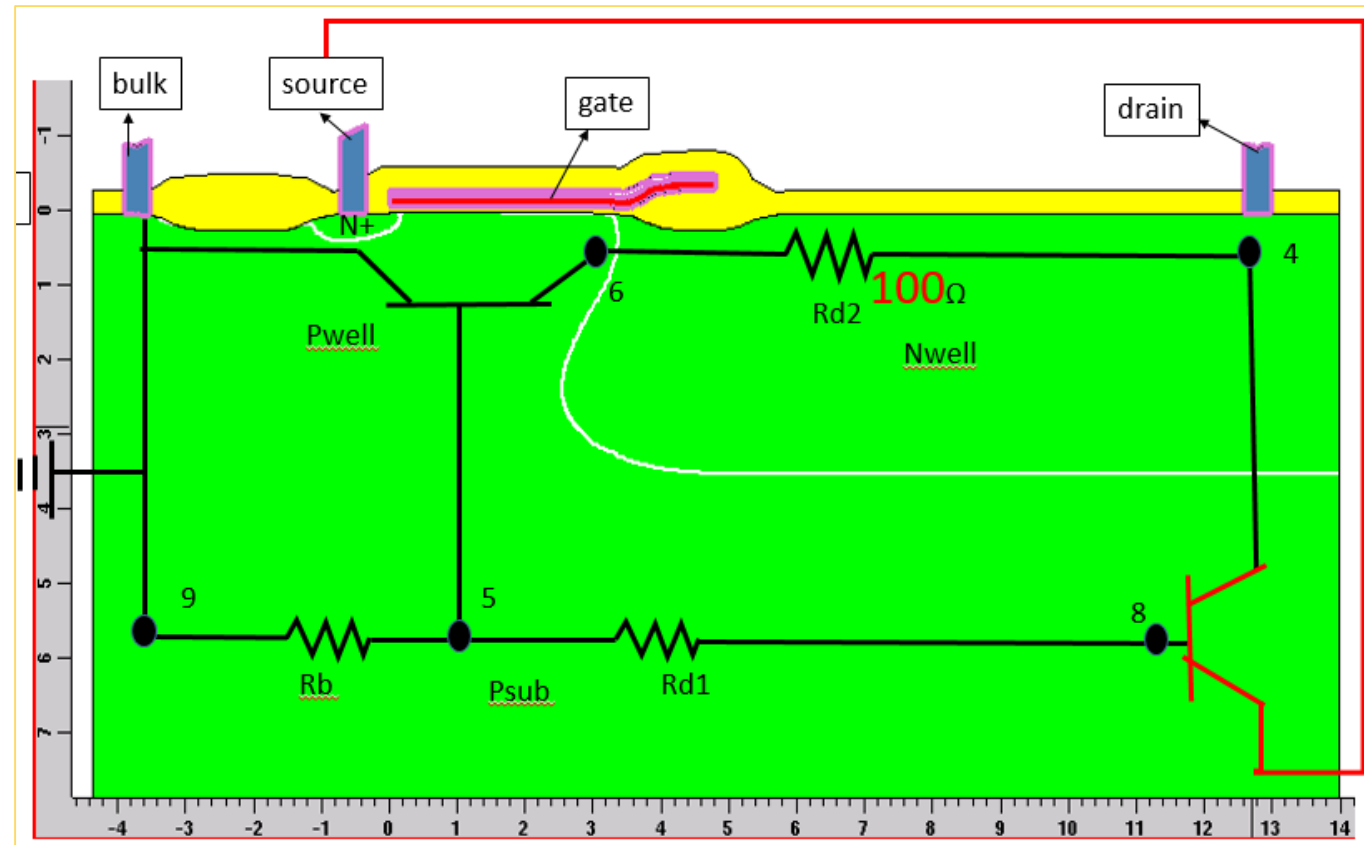
靜電防護設計－調整過程

- 回至TCAD製程模擬，觀察兩次Snapback現象的原因，並到電路圖中做修整。



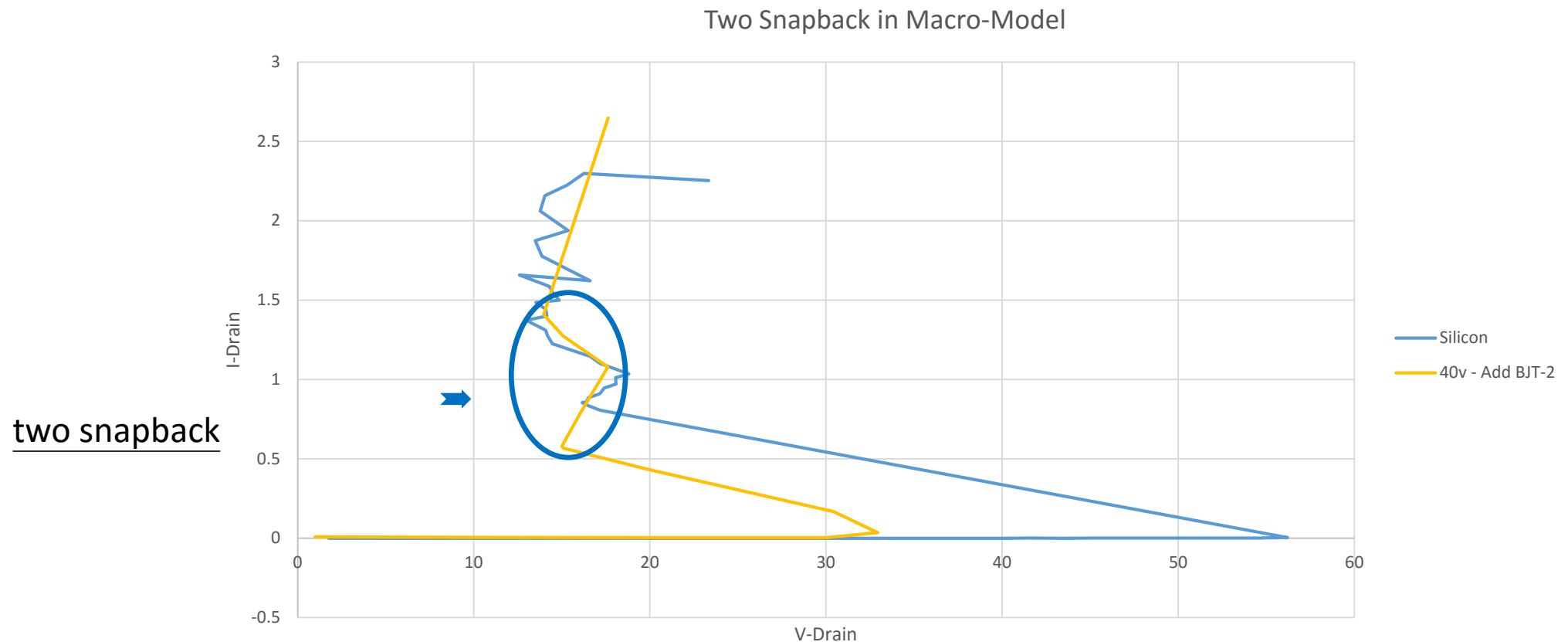
靜電防護設計－調整過程

- 模擬TCAD中垂直NBL現象。



靜電防護設計－調整過程

- 很明顯看出，加入BJT後，會出現兩個Snapback。



靜電防護設計－調整過程

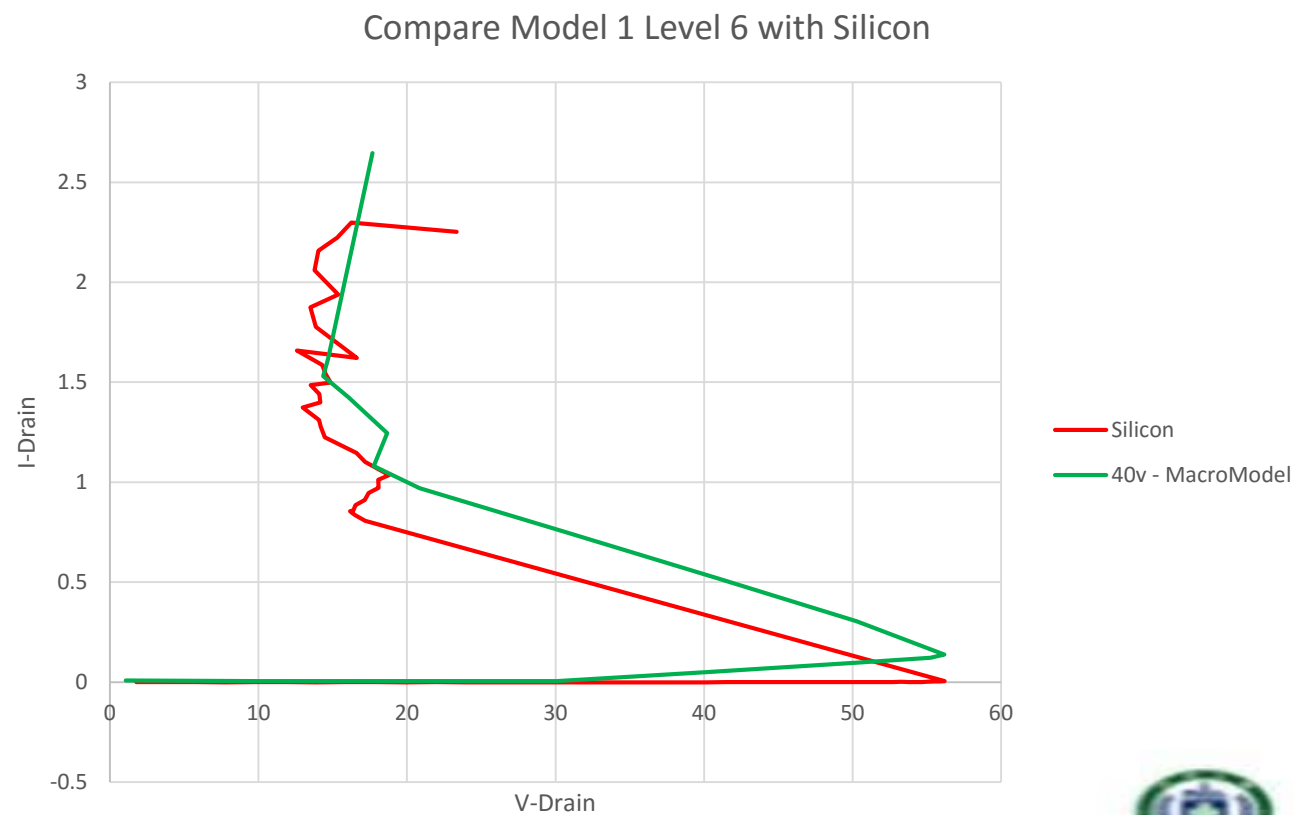
➤ 調整過程表格化。

Name	Value		TLP		TLP		Result
	CJE	BF	Vtr1	Vh1	Vtr2	Vh2	
40vNmos(BJT-1)	1E-11	200	40.98	14.08	x	x	
Chang_CJE	5.5E-11	200	56.43	16.75	x	x	CJE↑ → All Voltage↑
Chang_BF	5.5E-11	30	56.64	17.39	x	x	BF ↓ → All Voltage↑
40vNmos(BJT-2)	7.3E-14	215	32.93	15.01	17.62	13.97	
Chang_CJE	9E-11	215	51.16	16.73	17.66	13.36	
Chang_BF	9E-11	150	56.17	17.75	18.65	14.35	
Silicon_Voltage			56.207	16.525	18.804	12.981	



➤ 調整結果與Silicon曲線相互對比。

	First SnapBack		Second SnapBack	
	Vtr1	Vh1	Vtr2	Vh2
40vNmos	56.17	17.75	18.65	14.35
Silicon	56.207	16.525	18.804	12.981



結論



Thank You